

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Kazuhiro AIHARA  
SERIAL NO: NEW APPLICATION  
FILED: HEREWITH  
FOR: SEMICONDUCTOR DEVICE

GAU:  
EXAMINER:

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-034933	February 13, 2003

Certified copies of the corresponding Convention Application(s)

are submitted herewith

will be submitted prior to payment of the Final Fee

were filed in prior application Serial No. filed

were submitted to the International Bureau in PCT Application Number  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

(A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

(B) Application Serial No.(s)  
 are submitted herewith  
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

  
Marvin J. Spivak  
Registration No. 24,913



22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

C. Irvin McClelland  
Registration Number 21,124

日本特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2003年 2月13日

出願番号

Application Number:

特願2003-034933

[ST.10/C]:

[JP2003-034933]

出願人

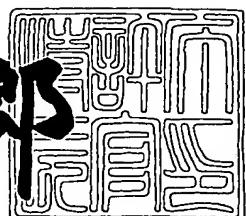
Applicant(s):

三菱電機株式会社

2003年 3月 4日

特許庁長官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3013389

【書類名】 特許願  
【整理番号】 543010JP01  
【提出日】 平成15年 2月13日  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 29/784  
【発明者】  
【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内  
【氏名】 相原 一洋  
【特許出願人】  
【識別番号】 000006013  
【氏名又は名称】 三菱電機株式会社  
【代理人】  
【識別番号】 100089233  
【弁理士】  
【氏名又は名称】 吉田 茂明  
【選任した代理人】  
【識別番号】 100088672  
【弁理士】  
【氏名又は名称】 吉竹 英俊  
【選任した代理人】  
【識別番号】 100088845  
【弁理士】  
【氏名又は名称】 有田 貴弘  
【手数料の表示】  
【予納台帳番号】 012852  
【納付金額】 21,000円  
【提出物件の目録】  
【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項1】 nチャネルのトランジスタを含む半導体装置であって、

前記nチャネルのトランジスタは、

ゲート絶縁膜上に積層された、n型のGe半導体又はn型のSiGe混晶半導体の第1膜と、

前記第1膜上に積層された、p型のGe半導体又はp型のSiGe混晶半導体の第2膜とを有するゲート電極を備えたことを特徴とする、

半導体装置。

【請求項2】 請求項2に記載の半導体装置であって、

前記ゲート電極は、前記第2膜上に積層された金属膜をさらに有することを特徴とする、

半導体装置。

【請求項3】 pチャネルのトランジスタを含む半導体装置であって、

前記pチャネルのトランジスタは、

ゲート絶縁膜上に積層された、p型のGe半導体又はp型のSiGe混晶半導体の第1膜と、

前記第1膜上に積層された、n型のGe半導体又はn型のSiGe混晶半導体の第2膜とを有するゲート電極を備えたことを特徴とする、

半導体装置。

【請求項4】 請求項3に記載の半導体装置であって、

前記ゲート電極は、前記第2膜上に積層された金属膜をさらに有することを特徴とする、

半導体装置。

【請求項5】 CMOSトランジスタを含む半導体装置であって、

前記CMOSトランジスタは、

請求項1又は請求項2記載の前記nチャネルのトランジスタと、

請求項3又は請求項4記載の前記pチャネルのトランジスタとを備えたことを

特徴とする、

半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置に係る発明であって、特に、ゲート絶縁膜におけるリーク電流の増加を抑制することができるトランジスタに関するものである。

【0002】

【従来の技術】

半導体装置に用いられるトランジスタとしては、M I S F E T (Metal-Insulator-Semiconductor Field Effect Transistor) が広く知られている。nチャネルのM I S F E Tの構造は、p型Si基板上にn型不純物をドープしたソース領域とドレイン領域とが形成され、このソース領域とドレイン領域との間にp型Si基板上にゲート絶縁膜、ゲート電極のn型Si結晶膜順に積層された構造であった。

【0003】

このnチャネルのM I S F E Tの動作を以下に説明する。まず、p型Si基板を接地し、ゲート電極に正の閾値電位を印加する。そして、ソース領域とドレイン領域との間に電位差を設けることによりドレイン電流が流れる。この状態が、nチャネルのM I S F E TのON状態である。次に、p型Si基板を接地し、ゲート電極に負の電位を印加する。この場合、ソース領域とドレイン領域との間に電位差を設けてもチャネル領域が遮断されているためドレイン電流は流れない。この状態が、nチャネルのM I S F E TのOFF状態である。

【0004】

半導体装置は高集積化が進み、素子のセルサイズが縮小する傾向にある。そのため、nチャネルのM I S F E TをOFF状態にする場合、ゲート電極に0Vの電位を印加しても、ソース領域とドレイン領域とで生じるパンチスルーハイドロゲンにより、ドレイン電流を遮断することができない。つまり、ゲート電極に負の電位を印加しなければ、ドレイン電流は遮断することができない。

## 【0005】

しかし、ゲート電極に負の電位を印加することは、ゲート電極とドレイン領域との間に電位差を生じさせることになる。この電位差のため、ゲート絶縁膜を介してゲート電極とドレイン領域との間に流れるリーク電流が増加する。このリーク電流が増加することにより、nチャネルのMISFETのトランジスタ特性が劣化し、さらにnチャネルのMISFETの回路動作に影響を与える問題があった。

## 【0006】

そこで、特許文献1においては、ゲート絶縁膜となる酸化シリコン膜上にn型多結晶シリコン層とp型多結晶シリコン層とを積層してパターニングし、ゲート電極を形成している。これにより、ゲート電圧が動作領域の場合、ゲート電圧に依存したドレイン電流が観測されるが、ゲート電圧が非動作領域の場合、ドレイン電流がゲート電圧に依存せずほぼ一定値となり、リーク電流の増加を抑制することができる。

## 【0007】

## 【特許文献1】

特開平6-120501号公報（第2-4頁、第1-5図）

## 【0008】

## 【発明が解決しようとする課題】

しかし、半導体装置は、近年さらに高集積化が進み、素子のセルサイズが縮小している。そのため、n型多結晶シリコン層とp型多結晶シリコン層とを積層したゲート電極だけでは、リーク電流の増加を十分抑制することができない問題があった。また、多結晶シリコンにより形成されたゲート電極は電気抵抗が高く、そのため、トランジスタの動作速度が低下する問題があった。

## 【0009】

そこで、本発明は、ゲート絶縁膜を介してゲート電極とドレインとの間に流れるリーク電流の増加をより抑制することができるトランジスタを含む半導体装置を提供することを目的とする。また、本発明はゲート電極の電気抵抗を低減することができて、動作を高速化できるトランジスタを含む半導体装置を提供するこ

とを目的とする。

【0010】

【課題を解決するための手段】

本発明に係る解決手段は、nチャネルのトランジスタを含む半導体装置であつて、nチャネルのトランジスタは、ゲート絶縁膜上に積層された、n型のGe半導体又はn型のSiGe混晶半導体の第1膜と、第1膜上に積層された、p型のGe半導体又はp型のSiGe混晶半導体の第2膜とを有するゲート電極を備えている。

【0011】

【発明の実施の形態】

以下、本発明をその実施の形態を示す図面に基づいて具体的に説明する。

【0012】

(実施の形態1)

図1に、本実施の形態に係る半導体装置に含まれるトランジスタの断面図を示す。図1では、p型の不純物を含むp型Si半導体基板1上に、n型の不純物を含むソース領域2とドレイン領域3とが形成されている。このソース領域2とドレイン領域3との間にあるp型Si半導体基板1表面の活性領域上には、ゲート絶縁膜4が形成されている。ゲート絶縁膜4上には、n型の不純物を含むn型SiGe混晶膜5が形成され、さらにn型SiGe混晶膜5上には、p型の不純物を含むp型SiGe混晶膜6が形成されている。n型SiGe混晶膜5とp型SiGe混晶膜6との2層が、本実施の形態に係るトランジスタのゲート電極を構成している。なお、本実施の形態に係るトランジスタは、nチャネルトランジスタを構成している。

【0013】

図1に示した本実施の形態に係るトランジスタの動作について以下に説明する。まず、p型Si半導体基板1に電極端子11を設け、この電極端子11を接地する。ゲート電極のp型SiGe混晶膜6に電極端子12を設け、この電極端子12にソースに対する電圧がトランジスタの閾値電位よりも高くなるような正の電位を印加する。そして、ソース領域2に電極端子13、ドレイン領域3に電極

端子14をそれぞれ設け、電極端子13と電極端子14との間に電位差を設ける。これにより、本実施の形態に係るトランジスタは、ドレイン電流が流れ、ON状態となる。

## 【0014】

なお、本実施の形態に係るトランジスタは、ゲート電極がn型SiGe混晶膜5とp型SiGe混晶膜6との2層になっているため、電極端子12に印加する電位を従来のトランジスタに比べて大きくする必要がある。つまり、n型SiGe混晶膜5とp型SiGe混晶膜6とのpn結合部分に空乏層が生じないような電位を電極端子12に印加する必要がある。

## 【0015】

次に、電極端子11を接地した状態で、電極端子12にソースに対する電位差が負となるように負の電位を印加する。このとき、電極端子13と電極端子14との間に電位差を設けても、トランジスタのチャネル領域は遮断されているため、本実施の形態に係るトランジスタは、ドレイン電流が流れない。つまり、トランジスタはOFF状態となる。なお、電極端子12に0Vの電位を印加しても、ソース領域2とドレイン領域3に生じるパンチスルーハイドロゲン現象によりドレイン電流を遮断することができない。そのため、電極端子12に負の電位を印加することで、ドレイン電流を遮断している。

## 【0016】

本実施の形態に係るトランジスタでは、OFF状態においてもゲート電極とドレイン領域3との間で電位差が生じている。そのため、ゲート電極とドレイン領域3との間には、ゲート絶縁膜4を介してリーク電流が流れている。しかし、本実施の形態に係るトランジスタのゲート電極は、n型SiGe混晶膜5とp型SiGe混晶膜6とがpn接合の構成を有する。そのため、このpn接合に逆バイアスを印加するとpn接合部分に空乏層が形成され、この空乏層がゲート絶縁膜4に対して直列に接続された電気容量と等価となる。従って、本実施の形態に係るトランジスタでは、空乏層がゲート絶縁膜4を介して流れるリーク電流の増加を抑制することができる。

## 【0017】

ここで、n型SiGe混晶膜5とp型SiGe混晶膜6とで構成されたゲート電極のpn接合は、pn接合ダイオードの整流作用の特性を利用してゲート絶縁膜4を介して流れるリーク電流の増加を抑制している。つまり、p型SiGe混晶膜6上の電極端子12に正の電位を印加すると、ゲート電極のpn接合は順方向のバイアスが印加されることになり、電極端子12に負の電位を印加すると、ゲート電極のpn接合は逆方向のバイアスが印加されることになる。

#### 【0018】

さらに、本実施の形態に係るトランジスタでは、ゲート電極をn型SiGe混晶膜5とp型SiGe混晶膜6とで構成しているため、ゲート電極をn型Si膜とp型Si膜とで構成した場合に比べ、ゲート絶縁膜4を介して流れるリーク電流の増加をより抑制することができる。一般的に、pn接合に加える逆方向電圧を高くしていくと、ゼナー効果(Zenner effectあるいはZenner tunneling)による絶縁破壊を生ずるが、空乏層の誘電率が大きい程絶縁破壊電圧は増加するという関係がある。ゲルマニウム(Ge)の比誘電率(16.1)が、シリコンの比誘電率(11.9)に比べて大きいため、ゲルマニウム(Ge)の方が絶縁破壊電圧が高くなる。つまり、シリコンに比べゲルマニウムの方が、より高い逆方向電圧に対してリーク電流を低く抑えることができる。また、n型SiGe混晶膜5とp型SiGe混晶膜6とで構成したゲート電極では、ゲート絶縁膜4を介して流れるリーク電流の増加をより抑制することができることから、ゲート絶縁膜4の薄膜化が可能となる。

#### 【0019】

なお、本実施の形態に係るトランジスタでは、ゲート電極をn型SiGe混晶膜5とp型SiGe混晶膜6とで構成している場合が示されている。しかし、SiGe混晶の比誘電率とゲルマニウム(Ge)の比誘電率を比べれば、ゲルマニウム(Ge)の比誘電率の方が大きい。そのため、ゲート電極をn型Ge膜とp型Ge膜とで構成する方が、逆バイアスを印加した際にpn接合部分で形成される空乏層の電気容量が大きくなる。従って、n型Ge膜とp型Ge膜とで構成したゲート電極は、n型SiGe混晶膜5とp型SiGe混晶膜6とで構成したゲート電極に比べて、ゲート絶縁膜4を介して流れるリーク電流の増加をより抑制

することができる。また、本発明では、ゲート電極は、必ずしもn型SiGe混晶膜とp型SiGe混晶膜、又はn型Ge膜とp型Ge膜の組み合わせである必要はなく、n型SiGe混晶膜とp型Ge膜やn型Ge膜とp型SiGe混晶膜の組み合わせでも良い。

#### 【0020】

さらに、ゲルマニウム(Ge)の比抵抗は60Ωcmで、シリコン(Si)の比抵抗の230kΩcmより小さい。そのため、SiGe混晶膜もSi膜より比抵抗が小さくなる。よって、本実施の形態に係るトランジスタのゲート電極も、n型SiGe混晶膜5とp型SiGe混晶膜6とで構成されているため、従来のトランジスタのゲート電極より電気抵抗が小さくなる。その結果、本実施の形態に係るトランジスタは、駆動を高速化することができる。

#### 【0021】

次に、本実施の形態に係るトランジスタのゲート電極は、SiGe混晶膜5、6で構成されている。このSiGe混晶膜5、6の製造方法について、以下に説明する。SiGe混晶膜5、6は、CVD (Chemical Vapor Deposition) 法で形成され、シリコン(Si)とゲルマニウム(Ge)との混晶比は、シリコン(Si)が含まれるガス種とゲルマニウム(Ge)が含まれるガス種の流量比を調整することで変更することができる。これにより、混晶比が任意のSiGe混晶膜5、6を成膜することができる。

#### 【0022】

ここで、混晶比(単位をa.t.%)とは、シリコン(Si)に対してゲルマニウム(Ge)が含まれる割合を示す。本実施の形態に係るトランジスタのゲート電極では、成膜技術上の問題から混晶比30a.t.%のSiGe混晶膜5、6を使用している。しかし、理論的には混晶比が高い方が、ゲート電極とドレインとの間に流れるリーク電流の増加をより抑制することができ、ゲート電極の比抵抗を小さくすることができる。そのため、本発明では混晶比が30a.t.%に限られない。なお、ゲート電極をn型Ge膜とp型Ge膜とで構成する場合は、シリコン(Si)が含まれるガス種を使用せずにCVD法で成膜することができる。

#### 【0023】

本実施の形態に係るトランジスタのゲート電極では、SiGe混晶膜5, 6がn型SiGe混晶膜5とp型SiGe混晶膜6と2層で構成されている。この2層のSiGe混晶膜5, 6は、CVD法で連続的に成膜される。SiGe混晶膜5, 6のn型とp型とは、CVD法で成膜する際にn型の不純物元素が含まれているガス種とp型の不純物元素が含まれているガス種とを切り替えることにより形成される。ここで、n型の不純物元素は、リン(P)、ヒ素(As)やアンチモン(Sb)などがあり、p型の不純物元素は、ホウ素(B)やインジウム(In)などがある。

#### 【0024】

以上、本実施の形態に記載の半導体装置は、nチャネルのトランジスタを含む半導体装置であって、nチャネルのトランジスタは、ゲート絶縁膜上に積層された、n型のGe半導体又はn型のSiGe混晶半導体の第1膜と、第1膜上に積層された、p型のGe半導体又はp型のSiGe混晶半導体の第2膜とを有するゲート電極を備えているので、従来のトランジスタに比べてゲート絶縁膜を介してゲート電極とドレインとの間に流れるリーク電流の増加をより抑制することができる。また、本実施の形態に記載の半導体装置は、トランジスタの駆動を高速化することができる。

#### 【0025】

##### (変形例)

図2に、本実施の形態の変形例に係る半導体装置に含むトランジスタの断面図を示す。図2では、n型の不純物を含むn型Si半導体基板21上に、p型の不純物を含むソース領域22とドレイン領域23とが形成されている。このソース領域22とドレイン領域23との間にn型Si半導体基板21表面の活性領域上には、ゲート絶縁膜24が形成されている。ゲート絶縁膜24上には、p型の不純物を含むp型SiGe混晶膜25が形成され、さらにp型SiGe混晶膜25上には、n型の不純物を含むn型SiGe混晶膜26が形成されている。p型SiGe混晶膜25とn型SiGe混晶膜26との2層が、本変形例に係るトランジスタのゲート電極を構成している。なお、本変形例に係るトランジスタは、pチャネルトランジスタを構成している。

## 【0026】

図2に示した本変形例に係るトランジスタの動作は、図1に示した本実施の形態に係るトランジスタの動作とは逆である。n型Si半導体基板21に電極端子31を設け、この電極端子31を接地する。ゲート電極のn型SiGe混晶膜26に電極端子32を設け、この電極端子32にソースに対する電圧がトランジスタの負の閾値電位よりも低くなるような負の電位を印加する。そして、ソース領域22に電極端子33、ドレイン領域23に電極端子34をそれぞれ設け、電極端子33と電極端子34との間に電位差を設ける。これにより、本変形例に係るトランジスタは、ドレイン電流が流れ、ON状態となる。

## 【0027】

次に、電極端子31を接地した状態で、電極端子32にソースに対する電位差が正となるように正の電位を印加する。このとき、電極端子33と電極端子34との間に電位差を設けても、トランジスタのチャネル領域が遮断されているため、本実施の形態に係るトランジスタは、ドレイン電流が流れない。つまり、トランジスタはOFF状態である。

## 【0028】

本変形例に係るトランジスタであっても、本実施の形態に係るトランジスタと同様、ゲート絶縁膜24を介して流れるリーク電流の増加をより抑制することができる。また、本変形例に係るトランジスタは、本実施の形態に係るトランジスタと同様、ゲート電極をp型SiGe混晶膜25とn型SiGe混晶膜26などで構成する変わりに、p型Ge膜とn型Ge膜とで構成しても良い。さらに、ゲート電極は、p型SiGe混晶膜とn型Ge膜やp型Ge膜とn型SiGe混晶膜の組み合わせでも良い。

## 【0029】

以上、本変形例に記載の半導体装置は、pチャネルのトランジスタを含む半導体装置であって、前記pチャネルのトランジスタは、ゲート絶縁膜上に積層された、p型のGe半導体又はp型のSiGe混晶半導体の第1膜と、前記第1膜上に積層された、n型のGe半導体又はn型のSiGe混晶半導体の第2膜とを有するゲート電極を備えているので、従来のトランジスタに比べてゲート絶縁膜を

介してゲート電極とドレインとの間に流れるリーク電流の増加をより抑制することができる。また、本変形例に記載の半導体装置は、トランジスタの駆動を高速化することができる。

## 【0030】

## (実施の形態2)

図3に、本実施の形態に係る半導体装置に含まれるトランジスタの断面図を示す。図3では、p型の不純物を含むp型Si半導体基板1上に、n型の不純物を含むソース領域2とドレイン領域3とが形成されている。このソース領域2とドレイン領域3との間にあるp型Si半導体基板1表面の活性領域上には、ゲート絶縁膜4が形成されている。ゲート絶縁膜4上には、n型の不純物を含むn型SiGe混晶膜5が形成され、n型SiGe混晶膜5上には、p型の不純物を含むp型SiGe混晶膜6が形成されている。さらに、p型SiGe混晶膜6上には、金属膜7が形成されている。本実施の形態に係るトランジスタのゲート電極は、n型SiGe混晶膜5とp型SiGe混晶膜6と金属膜7の3層で構成されている。なお、本実施の形態に係るトランジスタは、nチャネルトランジスタを構成している。

## 【0031】

図3に示した本実施の形態に係るトランジスタの動作は、実施の形態1と同じである。但し、電極端子12がp型SiGe混晶膜6に設けられているのではなく、金属膜7上に設けられている点が、実施の形態1と異なる。また、本実施の形態に係るトランジスタのゲート電極には金属膜7が使用されているため、ゲート電極が、実施の形態1のゲート電極に比べより低抵抗となる。よって、本実施の形態に係るトランジスタは、動作をさらに高速化することができる。なお、金属膜7として使用される材料は、アルミニウム(A1)、タンゲステン(W)、モリブデン(Mo)など単体、そのシリサイド材料やそれらの合金である。また、金属膜7は、スパッタ法などでp型SiGe混晶膜6上に成膜される。

## 【0032】

以上、本実施の形態に記載の半導体装置は、p型SiGe混晶膜6上に積層された金属膜7をさらに有するゲート電極を備えているので、さらにゲート電極の

電気抵抗を小さくすることができ、トランジスタの駆動をより高速化することができる。

## 【0033】

## (変形例)

図4に、本実施の形態の変形例に係る半導体装置に含まれるトランジスタの断面図を示す。図4では、n型の不純物を含むn型Si半導体基板21上に、p型の不純物を含むソース領域22とドレイン領域23とが形成されている。このソース領域22とドレイン領域23との間にn型Si半導体基板21表面の活性領域上には、ゲート絶縁膜24が形成されている。ゲート絶縁膜24上には、n型の不純物を含むp型SiGe混晶膜25が形成され、p型SiGe混晶膜25上には、n型の不純物を含むn型SiGe混晶膜26が形成されている。さらに、n型SiGe混晶膜26上には、金属膜27が形成されている。本実施の形態に係るトランジスタのゲート電極は、p型SiGe混晶膜25とn型SiGe混晶膜26と金属膜27の3層で構成されている。なお、本変形例に係るトランジスタは、pチャネルトランジスタを構成している。図4に示した本実施の形態に係るトランジスタの動作は、実施の形態1の変形例と同じである。但し、電極端子32がn型SiGe混晶膜26に設けられているのではなく、金属膜27上に設けられている点が、実施の形態1の変形例と異なる。

## 【0034】

以上、本実施の形態に記載の半導体装置は、n型SiGe混晶膜26上に積層された金属膜27をさらに有するゲート電極を備えているので、さらにゲート電極の電気抵抗を小さくすることができ、トランジスタの駆動をより高速化することができる。

## 【0035】

## (実施の形態3)

本実施の形態に係る半導体装置は、実施の形態1又は実施の形態2で示したnチャネルトランジスタと実施の形態1の変形例又は実施の形態2の変形例で示したpチャネルトランジスタとを用いてCMOS (Complementary Metal Oxide Semiconductor) を構成している。図5

に、CMOSで構成した反転回路の回路図を示す。このCMOSのnチャネルトランジスタ51は、実施の形態1又は実施の形態2で示したnチャネルトランジスタで構成され、pチャネルトランジスタ52は、実施の形態1の変形例又は実施の形態2の変形例で示したpチャネルトランジスタで構成されている。

#### 【0036】

実施の形態1又は実施の形態2で示したnチャネルトランジスタと実施の形態1の変形例又は実施の形態2の変形例で示したpチャネルトランジスタは、従来のトランジスタに比べてゲート絶縁膜を介して流れるリーク電流の増加をより抑制する効果と、ゲート電極の電気抵抗を小さくしてトランジスタの駆動を高速化する効果とをそれぞれ有している。そのため、本実施の形態に係るCMOSは、CMOSを構成することによる効果（例えば、消費電力の低減）と共に、実施の形態1、実施の形態2及びそれらの変形例の効果も得ることができる。

#### 【0037】

なお、本実施の形態に係る半導体装置は、実施の形態1又は実施の形態2で示したnチャネルトランジスタと実施の形態1の変形例又は実施の形態2の変形例で示したpチャネルトランジスタとを用いてCMOSを構成したが、本発明はこれに限られない。例えば、実施の形態1又は実施の形態2で示したnチャネルトランジスタと実施の形態1の変形例又は実施の形態2の変形例で示したpチャネルトランジスタとを用いて半導体記憶装置などを構成しても良い。

#### 【0038】

以上、本実施の形態に記載の半導体装置は、CMOSトランジスタを含む半導体装置であって、CMOSトランジスタは、実施の形態1又は実施の形態2に記載のnチャネルのトランジスタと、実施の形態1の変形例又は実施の形態2の変形例に記載のpチャネルのトランジスタとを備えているので、従来のトランジスタに比べてゲート絶縁膜を介してゲート電極とドレインとの間に流れるリーク電流の増加をより抑制することができ、ゲート電極の比抵抗を小さくしてトランジスタの駆動を高速化することができると共に、CMOSトランジスタの特徴である消費電力の低減も可能となる。

#### 【0039】

## 【発明の効果】

本発明に記載の半導体装置は、nチャネルのトランジスタを含む半導体装置であって、nチャネルのトランジスタは、ゲート絶縁膜上に積層された、n型のGe半導体又はn型のSiGe混晶半導体の第1膜と、第1膜上に積層された、p型のGe半導体又はp型のSiGe混晶半導体の第2膜とを有するゲート電極を備えているので、従来のトランジスタに比べてゲート絶縁膜を介してゲート電極とドレインとの間に流れるリーク電流の増加をより抑制することができる効果がある。また、本実施の形態に記載の半導体装置は、トランジスタの駆動を高速化することができる効果がある。

## 【図面の簡単な説明】

【図1】 本発明の実施の形態1に係る半導体装置に含まれるトランジスタの断面図である。

【図2】 本発明の実施の形態1の変形例に係る半導体装置に含まれるトランジスタの断面図である。

【図3】 本発明の実施の形態2に係る半導体装置に含まれるトランジスタの断面図である。

【図4】 本発明の実施の形態2の変形例に係る半導体装置に含まれるトランジスタの断面図である。

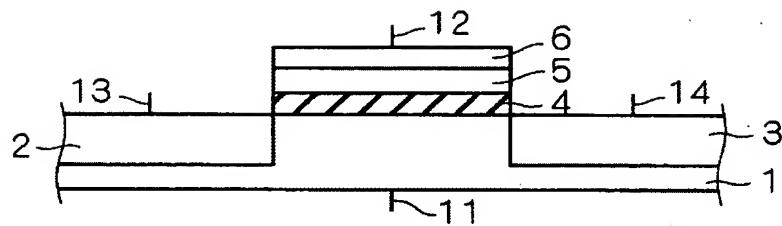
【図5】 本発明の実施の形態3に係るCMOSで構成された反転回路の回路図である。

## 【符号の説明】

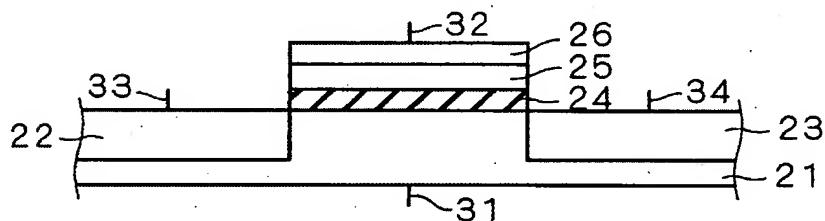
1 p型Si半導体基板、2, 22 ソース領域、3, 23 ドレイン領域、  
 4, 24 ゲート絶縁膜、5, 26 n型SiGe混晶膜、6, 25 p型SiGe混晶膜、  
 7, 27 金属膜、11, 12, 13, 14, 31, 32, 33, 34 電極端子、  
 21 n型Si半導体基板、51 nチャネルトランジスタ、  
 52 pチャネルトランジスタ。

【書類名】 図面

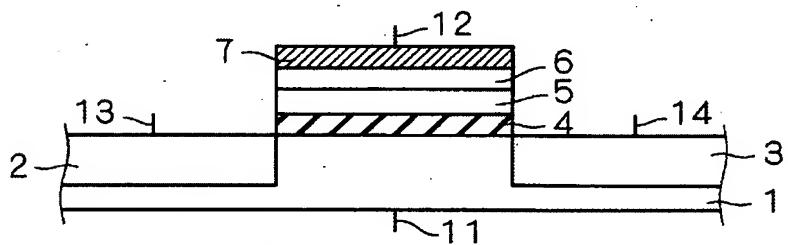
【図1】



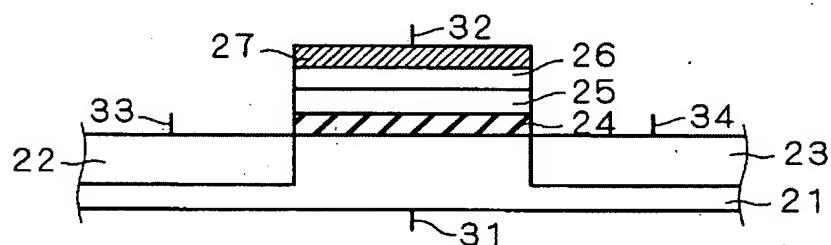
【図2】



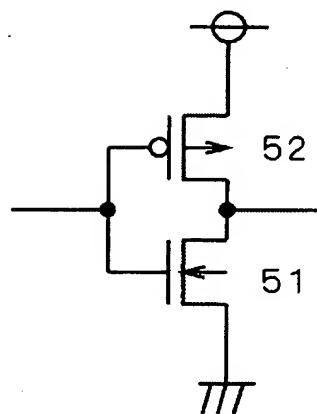
【図3】



【図4】



【図5】



【書類名】 要約書

【要約】

【課題】 ゲート絶縁膜を介してゲート電極とドレインとの間に流れるリーク電流の増加をより抑制することができるトランジスタを含む半導体装置を提供する。

【解決手段】 p型の不純物を含むp型Si半導体基板1上に、n型の不純物を含むソース領域2とドレイン領域3とが形成されている。このソース領域2とドレイン領域3との間にあるp型Si半導体基板1表面の活性領域上には、ゲート絶縁膜4が形成されている。ゲート絶縁膜4上には、n型の不純物を含むn型SiGe混晶膜5が形成され、さらにn型SiGe混晶膜5上には、p型の不純物を含むp型SiGe混晶膜6が形成されている。

【選択図】 図1

出願人履歴情報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社